

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0022

Applicant: Ki Chang KWEAN

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: AUTO REFRESH CONTROL CIRCUIT OF SEMICONDUCTOR
MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0084041 filed December 26, 2002

Respectfully submitted,

Date: June 30, 2003

By



Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



26633

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0084041
Application Number

출원년월일 : 2002년 12월 26일
Date of Application DEC 26, 2002

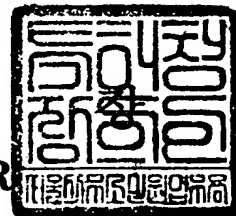
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.12.26
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 장치의 오토 리프레시 제어회로
【발명의 영문명칭】	Auto refresh control circuit of a semiconductor memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	권기창
【성명의 영문표기】	KWEAN, Ki Chang
【주민등록번호】	691118-1812321
【우편번호】	467-866
【주소】	경기도 이천시 부발읍 아미리 현대3차아파트 302-1907
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	16	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	5	항	269,000	원
---------	---	---	---------	---

【합계】	298,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통
--------	-------------------

【요약서】**【요약】**

본 발명에 따른 반도체 메모리 장치의 오토 리프레시 제어회로는, 오토 리프레시를 수행하는 오토 리프레시 신호를 발생하는 명령어 디코더와, 오토 리프레시 신호에 따라 뱅크를 활성화 시키고, 오토 리프레시 동작이 완료되면 상기 뱅크를 프리차지하는 뱅크 제어수단과, 오토 리프레시 신호에 따라 인에이블 되어 모든 입력 버퍼들을 비활성화시키고, 오토 리프레시 구간이 끝나는 시점을 검출한 검출 신호에 따라 모든 입력 버퍼들을 활성화시키는 버퍼 제어수단을 포함하여, 오토 리프레시가 수행되는 동안 모든 버퍼들을 비활성화시켜 전류 소모를 줄일 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

반도체 메모리 장치의 오토 리프레시 제어회로{Auto refresh control circuit of a semiconductor memory device}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 메모리 장치의 오토 리프레시 제어회로를 나타낸 블록도.

도 2는 도 1에 도시된 오토 리프레시 제어회로의 동작 타이밍도.

도 3은 본 발명에 따른 반도체 메모리 장치의 오토 리프레시 제어회로를 나타낸 블록도.

도 4는 도 3에 도시된 버퍼 인에이블부의 상세 회로도.

도 5는 도 3 및 도 4에 도시된 본 발명에 따른 반도체 메모리 장치의 오토 리프레시 제어회로의 동작 타이밍도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치의 오토 리프레시 제어회로에 관한 것으로, 보다 상세하게는 오토 리프레시 동작이 수행되는 동안 버퍼 동작을 정지시켜 전류 소모를 줄이고, 파워 노이즈를 최소화할 수 있는 반도체 메모리 장치의 오토 리프레시 제어회로에 관한 것이다.

- <7> 도 1은 종래 기술에 따른 반도체 메모리 장치의 오토 리프레시 제어회로를 나타낸 블록도이다.
- <8> 오토 리프레시 제어회로는, 클럭 인에이블 신호 버퍼(1)와, 파워다운 검출부(2)와, 클럭 버퍼(3)와, 명령어 버퍼(4)와, 명령어 디코더(5)와, 어드레스 버퍼(6)와, 어드레스 래치(7)와, बैं크 액티브 제어부(8)와, 오토 리프레시 지연부(9)와, बैं크 인에이블부(10)를 포함한다.
- <9> 클럭 인에이블 신호 버퍼(1)는 클럭 인에이블 신호 CKE를 버퍼링하는데, 클럭 인에이블 신호 CKE가 로우 레벨로 디스에이블 되면 버퍼들의 동작을 정지시킨다.
- <10> 파워 다운 검출부(2)는 클럭 인에이블 신호 버퍼(1)로부터 클럭 인에이블 신호 CKE를 입력받아 클럭 인에이블 신호 CKE의 상태에 따라 버퍼들의 동작을 제어하는 인에이블 신호 EN를 출력한다.
- <11> 클럭 버퍼(3)는 외부로부터 입력된 클럭 신호 CLK를 버퍼링하여 클럭 펄스 신호 CLKP를 출력하는데, 클럭 펄스 신호 CLKP는 다른 입력신호(명령 및 어드레스)에 대한 트리거 신호로써 동작한다.
- <12> 명령어 버퍼(4)는 외부 입력 제어 신호 CS, RAS, CAS 및 WE를 버퍼링하여 명령어 신호 COM를 출력한다.
- <13> 명령어 디코더(5)는 클럭 버퍼(3)로부터 출력된 클럭 펄스 신호 CLKP에 동기되어 명령어 버퍼(4)로부터 출력된 명령어 신호 COM를 입력받아 각각의 명령어 상태를 확인하여 입력된 명령어가 어떤 명령인지를 판단한다. 여기서는 오토 리프레시 명령 AREF을 발생하는 경우를 예를 들어 설명한다.

- <14> 어드레스 버퍼(6)는 외부로부터 입력된 어드레스 신호 ADD를 버퍼링한다.
- <15> 어드레스 래치(7)는 클럭 버퍼(3)로부터 출력된 클럭 펄스 신호 CLKP의 라이징 에지에서 어드레스 버퍼(6)로부터 출력된 어드레스 신호 ADD를 출력한다.
- <16> 뱅크 액티브 제어부(8)는 로우 액티브 명령 및 리프레시 명령이 입력되는 경우 액티브 신호를 인에이블 시키고, 프리차지 명령이 입력되는 경우 프리차지 신호 PCG를 인에이블 시킨다. 여기서는 오토 리프레시 명령 AREF이 입력되면, 액티브 신호 ACT를 발생시키는 경우를 예를 들어 설명한다.
- <17> 오토 리프레시 지연부(9)는 뱅크 액티브 제어부(8)로부터 출력된 액티브 신호 ACT를 셀 리프레시 동작이 수행되는 시간만큼 지연시킨다.
- <18> 따라서 액티브 신호 ACT가 오토 리프레시 지연부(9)에 의해 지연되어 출력된 신호 DEL가 뱅크 액티브 제어부(8)에 인가되면, 뱅크 액티브 제어부(8)는 프리차지 신호 PCG를 발생한다.
- <19> 뱅크 인에이블부(10)는 뱅크 액티브 제어부(8)로부터 액티브 신호 ACT가 인가되면, 워드라인 WL을 활성화 시키고, 프리차지 신호 PCG가 인가되면 워드라인 WL을 비활성화 상태로 프리차지시킨다.
- <20> 도 2는 도 1에 도시된 오토 리프레시 제어회로의 동작 타이밍을 나타낸 도면이다.
- <21> 리프레시 동작이 수행되는 동안에는 어떠한 외부 명령이 인가되어도 인식하지 못하고, 리프레시 동작이 완료되면 그 후에 인가되는 외부 명령에 따라 칩의 동작이 수행된다.

- <22> 인에이블 신호 EN가 오토 리프레시 동작이 수행되는 구간에서도 지속적으로 하이 상태를 유지하며, 파워다운 명령(power down entry)이 입력되면 로우 레벨로 천이한다.
- <23> 인에이블 신호 EN가 로우 레벨로 천이하여 로우 레벨 상태를 유지하면, 모든 버퍼들이 동작을 정지한다.
- <24> 일반적으로 버퍼는 동작 중 전류의 소모는 외부 입력신호의 변화에 따라 변하는 것이 아니라 동작하는 동안 지속적으로 전류를 소모하는 구조이다.
- <25> 종래 기술에 따른 반도체 메모리 장치의 오토 리프레시 제어회로는 오토 리프레시 동작을 수행할 때 지속적으로 입력 버퍼들을 인에이블 시키게 되어 전류 소모가 많은 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <26> 상기 문제점을 해결하기 위한 본 발명의 목적은, 오토 리프레시 명령이 입력고디면 입력 버퍼들을 디스에이블 시키고 프리차지 동작이 인에이블 되면 다시 버퍼들을 다시 인에이블 시켜, 오토 리프레시 동작이 수행되는 동안 소모되는 전류를 줄일 수 있는 반도체 메모리 장치의 오토 리프레시 제어회로를 제공하는 것이다.

【발명의 구성 및 작용】

- <27> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 오토 리프레시 제어회로는,
- <28> 오토 리프레시를 수행하는 오토 리프레시 신호를 발생하는 명령어 디코더;
- <29> 상기 오토 리프레시 신호에 따라 뱅크를 활성화 시키고, 오토 리프레시 동작이 완료되면 상기 뱅크를 프리차지하는 뱅크 제어수단; 및

- <30> 상기 오토 리프레시 신호에 따라 인에이블 되어 모든 입력 버퍼들을 비활성화시키고, 오토 리프레시 구간이 끝나는 시점을 검출한 검출 신호에 따라 상기 모든 입력 버퍼들을 활성화시키는 버퍼 제어수단을 포함하는 것을 특징으로 한다.
- <31> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.
- <32> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <33> 도 3은 본 발명에 따른 반도체 메모리 장치의 오토 리프레시 제어회로를 나타낸 블록도이다.
- <34> 오토 리프레시 제어회로는, 클럭 인에이블 신호 버퍼(11), 파워다운 검출부(12), 클럭 버퍼(13), 명령어 버퍼(14), 명령어 디코더(15), 어드레스 버퍼(16), 어드레스 래치(7), 뱅크 액티브 제어부(18), 오토 리프레시 지연부(19), 뱅크 인에이블부(20) 및 버퍼 인에이블부(21)를 포함한다.
- <35> 여기서, 클럭 인에이블 신호 버퍼(11), 파워다운 검출부(12), 클럭 버퍼(13), 명령어 버퍼(14), 명령어 디코더(15), 어드레스 버퍼(16), 어드레스 래치(7), 뱅크 액티브 제어부(18), 오토 리프레시 지연부(19) 및 뱅크 인에이블부(20)의 상세 구성 및 동작은 이미 잘 알려진 내용이기 때문에 여기서는 이의 상세한 설명은 생략하기로 한다.
- <36> 버퍼 인에이블부(21)는 파워다운 검출부(12)로부터 출력된 검출 신호 PWR, 명령어 디코더(15)로부터 출력된 오토 리프레시 신호 AREF 및 오토 리프레시 지연부(19)로부터 출력된 지연신호 DEL를 이용하여 입력 버퍼들(11, 13, 14, 16)을 디스에이블 시키는 인에이블 신호 EN를 출력한다.

<37> 도 4는 도 3에 도시된 버퍼 인에이블부의 상세회로를 나타낸 도면이다.

<38> 버퍼 인에이블부(21)는 오토 리프레시 신호 AREF를 반전시키는 인버터 INV1와, 전원전압 VDD과 접지전압 VSS 사이에 직렬 연결되고, 게이트에 인버터 INV1로부터 출력된 신호가 인가되는 피모스 트랜지스터 PM1 및 게이트에 지연신호 DEL가 인가되는 엔모스 트랜지스터 NM1와, 피모스 트랜지스터 PM1 및 엔모스 트랜지스터 NM1의 공통 드레인의 전위를 유지하는 래치(22)와, 래치(22)에 의해 유지된 전위 및 파워다운 신호 PWR를 부정 논리 곱하는 낸드게이트 ND1와, 낸드게이트 ND1로부터 출력된 신호를 반전시켜 인에이블 신호 EN를 출력하는 인버터 INV2를 포함한다. 여기서, 래치(22)는 반전 래치 형태를 가지며, 자신의 출력신호가 서로의 입력단자로 인가되는 인버터들 INV3, INV4을 포함한다.

<39> 한편, 오토 리프레시 신호 AREF가 오토 리프레시 지연부(19)에 의해 오토 리프레시 구간만큼 지연된 신호 DEL 대신에 프리차지 신호 PCG를 사용할 수 있다.

<40> 도 5는 도 3 및 도 4에 도시된 본 발명에 따른 반도체 메모리 장치의 오토 리프레시 제어회로의 동작 타이밍을 나타낸 도면이다.

<41> 오토 리프레시 동작이 수행되어 지는 동안 입력 버퍼들의 동작을 정지시키기 위해 인에이블 신호 EN가 로우 레벨이 되어 입력 버퍼들(11, 13, 14, 16)을 디스에이블 시킨다.

<42> 즉, 오토 리프레시 신호 AREF가 하이 레벨이 되면 인에이블 신호 EN가 로우 레벨로 천이하여 모든 입력 버퍼들(11, 13, 14, 16)의 동작을 정지시키고, 액티브 신호 ACT가 오토 리프레시 지연부(19)에 의해 오토 리프레시 동작 구간동안 지연된 신호 DEL가 하이

레벨이 되면 다시 하이 레벨로 천이하여 모든 입력 버퍼들(11, 13, 14, 16)이 다시 동작한다.

<43> 따라서 오토 리프레시 동작이 수행되는 동안 인에이블 신호 EN가 로우 레벨이 되어 모든 입력 버퍼들(11, 13, 14, 16)의 동작이 정지되기 때문에 버퍼에 의해 소모되는 전류를 줄일 수 있다.

<44> 이어서, 파워다운 모드로 진입하여 파워다운 검출부(12)로부터 파워다운 신호 PWR가 인에이블되면, 인에이블 신호 EN는 다시 로우 레벨이 되어 모든 입력 버퍼들(11, 13, 14, 16)의 동작이 정지된다.

【발명의 효과】

<45> 이상에서 살펴본 바와 같이, 본 발명에 따른 반도체 메모리 장치의 오토 프리차지 제어회로는, 오토 프리차지 동작이 수행되는 동안 모든 입력 버퍼들의 동작을 정지시켜 전력 소모를 줄일 수 있는 효과가 있다.

<46> 또한, 전원 노이즈(power noise)를 최소화하여 셀 리프레시 동작을 효율적으로 수행할 수 있는 효과가 있다.

<47> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

오토 리프레시를 수행하는 오토 리프레시 신호를 발생하는 명령어 디코더;

상기 오토 리프레시 신호에 따라 뱅크를 활성화 시키고, 오토 리프레시 동작이 완료되면 상기 뱅크를 프리차지하는 뱅크 제어수단; 및

상기 오토 리프레시 신호에 따라 인에이블 되어 모든 입력 버퍼들을 비활성화시키고, 오토 리프레시 구간이 끝나는 시점을 검출한 검출 신호에 따라 상기 모든 입력 버퍼들을 활성화시키는 버퍼 제어수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 오토 리프레시 제어회로.

【청구항 2】

제 1 항에 있어서,

상기 버퍼 제어수단은 파워다운 모드로 진입하여 발생하는 파워다운 신호를 입력받아 상기 모든 입력 버퍼들을 비활성화 시키는 것을 특징으로 하는 반도체 메모리 장치의 오토 리프레시 제어회로.

【청구항 3】

제 1 항에 있어서,

상기 오토 리프레시 신호에 따라 뱅크를 활성화 시키는 액티브 신호를 상기 오토 리프레시 구간만큼 지연시켜 상기 뱅크 제어수단에 인가하여 상기 뱅크를 프리차지하는 프리차지 신호를 출력하도록 하는 지연 수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 오토 리프레시 제어회로.

【청구항 4】

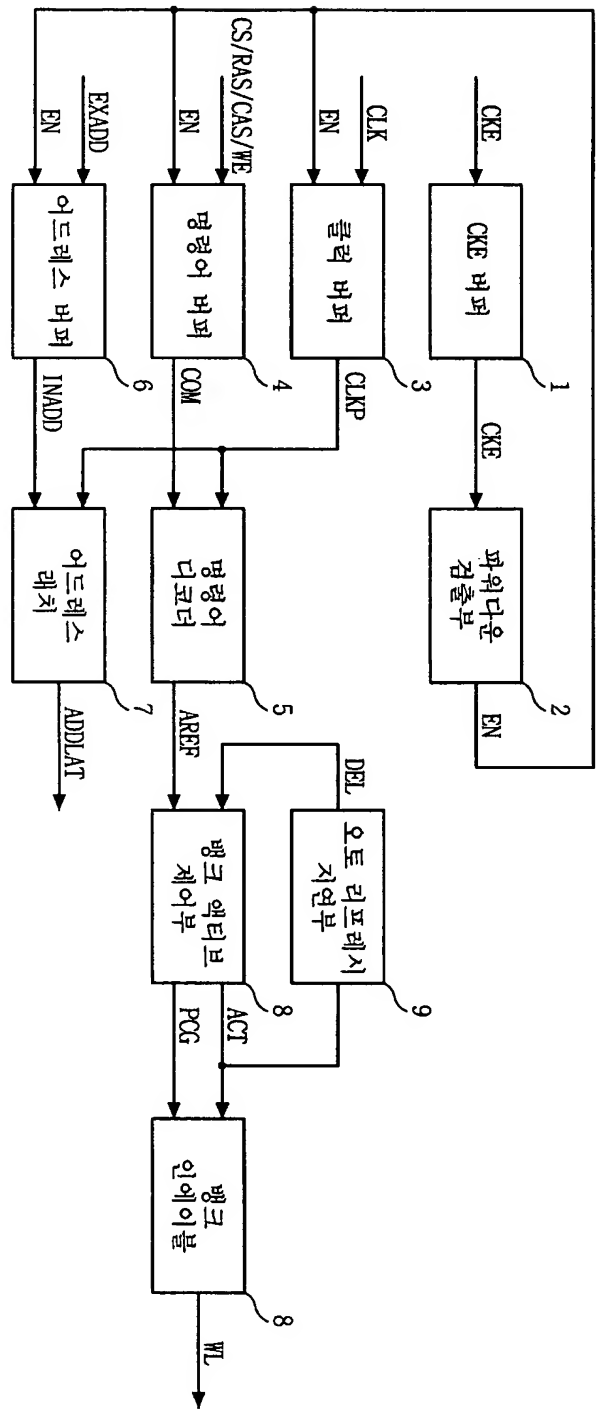
제 1 항 및 제 3 항 중 어느 한 항에 있어서,
상기 버퍼 제어 수단은,
상기 오토 리프레시 신호에 따라 출력단자를 풀업시키는 풀업 수단; 및
상기 오토 리프레시 구간이 끝나는 시점을 검출한 검출 신호에 따라 상기 출력단자를 풀다운시키는 풀다운 수단을 포함하는 것을 특징을 하는 반도체 메모리 장치의 오토 리프레시 제어회로.

【청구항 5】

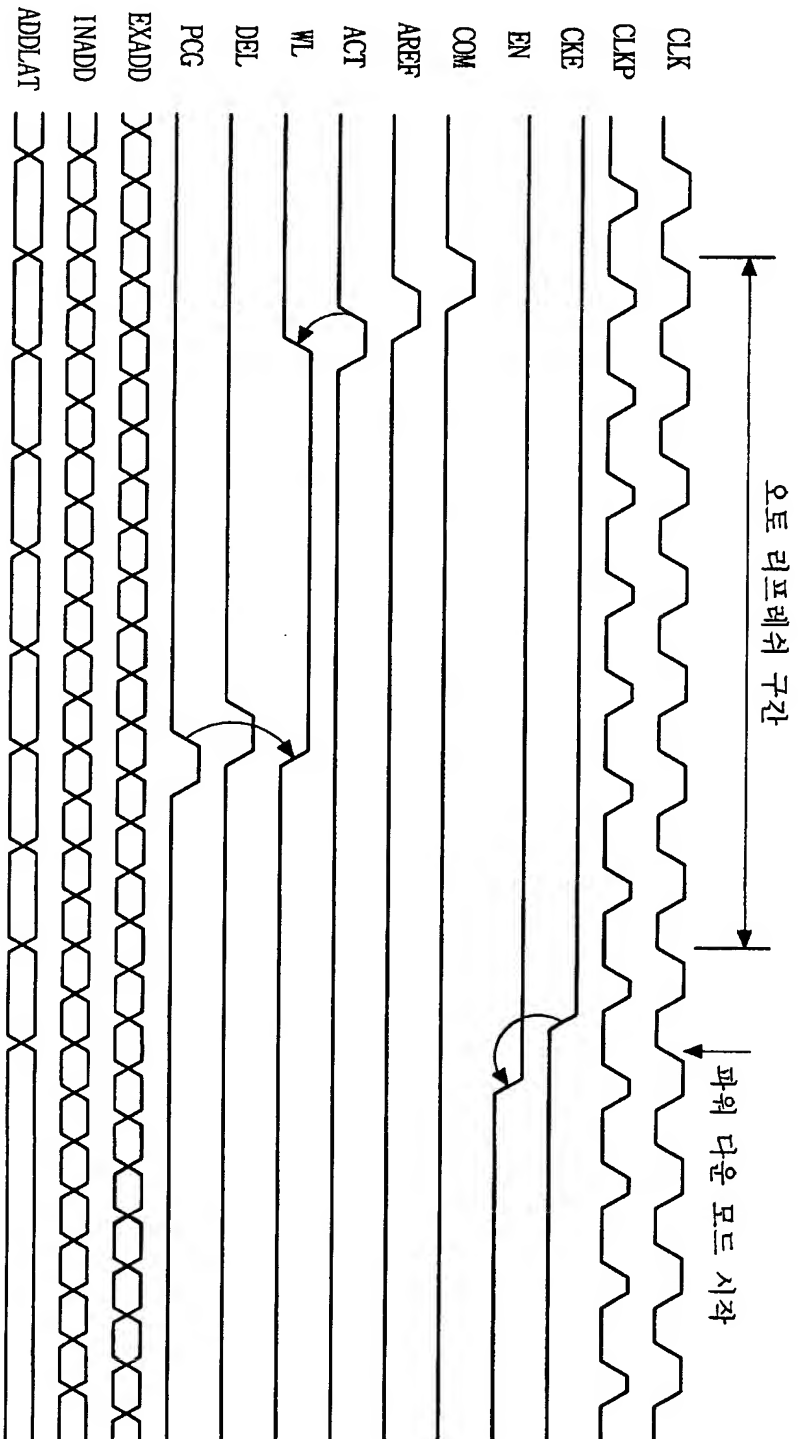
제 4 항에 있어서,
상기 버퍼 제어 수단은, 상기 출력단자의 전위를 유지하는 래치 수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 오토 리프레시 제어회로.

【도면】

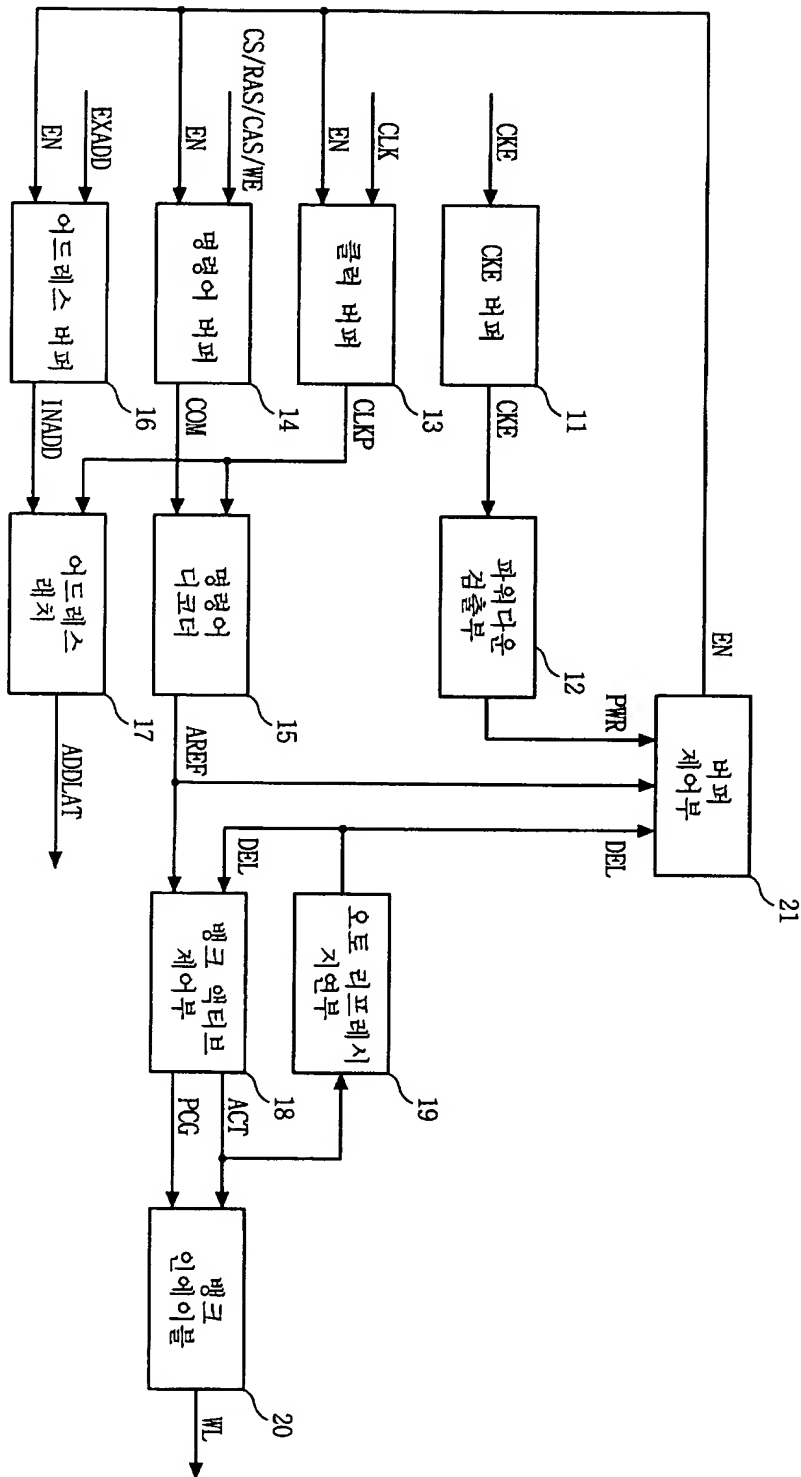
【도 1】



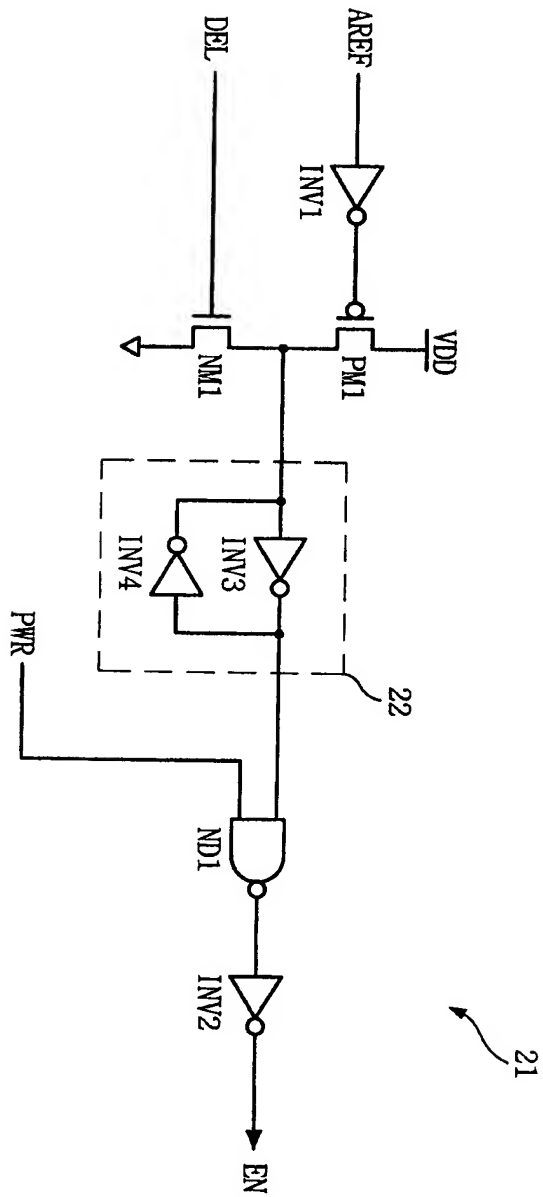
【표 2】



【도 3】



【도 4】



【도 5】

